

⑪ 公開特許公報 (A) 昭62-40816

⑤Int.Cl.
H 03 K 3/037識別記号
厅内整理番号
8425-5J

⑩公開 昭和62年(1987)2月21日

審査請求 有 発明の数 2 (全13頁)

⑪発明の名称 ラッチ回路およびこのラッチ回路を用いたフリップフロップ回路

⑪特願 昭60-180215

⑪出願 昭60(1985)8月16日

⑪発明者 坂上 健二 川崎市川崎区東田町2番地11号 東芝マイコンエンジニアリング株式会社内

⑪出願人 株式会社 東芝 川崎市幸区堀川町72番地

⑪出願人 東芝マイコンエンジニアリング株式会社 川崎市川崎区東田町2番地11号

⑪代理人 弁理士 鈴江 武彦 外2名

明細書

1.発明の名称

ラッチ回路およびこのラッチ回路を用いた
フリップフロップ回路

2.特許請求の範囲

(1) 第1のクロックドゲートと、この第1クロックドゲートの入力端に出力端が接続されるとともに出力端に入力端が接続され、上記第1クロックドゲートと同じクロック信号によって制御される第2のクロックドゲートと、制御信号によって制御され上記第1、第2のクロックドゲートの入力端にそれぞれ逆相のデータを供給する第1、第2のデータ転送ゲートとを具備し、上記第2、第1のクロックドゲートの出力端からラッチ出力を得ることを特徴とするラッチ回路。

(2) 前記第1、第2のクロックドゲートはそれぞれ、クロックドインバータから成ることを特徴とする特許請求の範囲第1項記載のラッチ回路。

(3) 前記第1、第2のデータ転送ゲートはそれぞれ、クロックドインバータから成ることを特徴とする特許請求の範囲第1項記載のラッチ回路。

(4) 第1のクロック信号で制御される第1のクロックドゲートと、この第1クロックドゲートの入力端に出力端が接続されるとともに出力端に入力端が接続され、上記第1のクロック信号によって制御される第2のクロックドゲートと、第1の制御信号によって制御され上記第1、第2のクロックドゲートの入力端にそれぞれ逆相のデータを供給する第1、第2のデータ転送ゲートと、第2のクロック信号で制御される第3のクロックドゲートと、この第3クロックドゲートの入力端に出力端が接続されるとともに出力端に入力端が接続され、上記第2のクロック信号によって制御される第4のクロックドゲートと、第2の制御信号によって制御され、上記第2、第1のクロックドゲートの出力端から出力されるラッチ信号を上記第3、第4クロック

クロゲートの入力端にそれぞれ供給する第3, 第4のデータ転送ゲートとを具備し、上記第4, 第3のクロックドゲートの出力端から出力を得ることを特徴とするフリップフロップ回路。

(5) 前記第1ないし第4のクロックドゲートはそれぞれ、クロックドインバータから成ることを特徴とする特許請求の範囲第4項記載のフリップフロップ回路。

(6) 前記第1ないし第4のデータ転送ゲートはそれぞれ、クロックドインバータから成ることを特徴とする特許請求の範囲第4項記載のフリップフロップ回路。

3.発明の詳細な説明

〔発明の技術分野〕

この発明は、論理回路に係わるもので、特にラッチ回路およびこのラッチ回路を用いたフリップフロップ回路に関する。

〔発明の技術的背景とその問題点〕

従来、ラッチ回路 (Transparent Latch) は、例えば第21図(a)に示すように構成されている。

- 3 -

13₁ . 13₂ を除去したものである。上記第22図および第23図に示したフリップフロップ回路は、第24図に示すようなプロック図で表わされる。このようなD型フリップフロップ回路を、第25図に示すように複数段継続接続するとシフトレジスタが構成できる。第25図において、各D型フリップフロップ 16₁ . 16₂ . . . 16_n は、クロック信号φの立ち下がりで順次次段にデータをシフトする。

上述したように、ラッチ回路はフリップフロップ回路やシフトレジスタ等の基本回路となっている。

ところで、上述したD型フリップフロップ回路は、コンピュータのレジスタ等に広く使用されているが、コンピュータの動作速度の高速化に伴なって、上記D型フリップフロップ回路の高速化も望まれている。特に、パイプライン処理で動作するスーパーコンピュータのステージを形成するレジスタなどに対してはこのような要求が強い。

- 5 -

すなわち、入力データD1は、クロック信号φで制御されるクロックドインバータ11の入力端D1Cに供給される。このクロックドインバータ11の出力端には、インバータ12の入力端が接続されるとともに、クロック信号φで制御されるクロックドインバータ13の出力端が接続される。そして、上記インバータ12の出力端と上記クロックドインバータ13の入力端とか接続され、上記インバータ12の出力端Qからラッチ出力D0を得るようになっている。第21図(b)に、上記第21図(a)の回路のプロック図を示す。

第22図は、上記第21図(a)に示したラッチ回路を2段継列接続して構成したマスタースレーブ型のD型フリップフロップ回路を示している。第23図は、クロック信号φ、すなわちそれ制御されるクロックドインバータ14₁ . 14₂ と、インバータ15₁ . 15₂ とを継続接続して構成したD型フリップフロップ回路を示しており、上記第22図におけるクロックドインバータ

- 4 -

しかし、上記のような構成では、上述したような高速化に充分答えられない欠点がある。これは、上記ラッチ回路やフリップフロップ回路を構成するクロックドインバータに問題がある。以下、これについて詳述する。クロックドインバータは、第26図に示すように電源V_{DD}とV_{SS}間に直列接続されたPチャネル形MOSトランジスタQ₁ . Q₂ およびNチャネル形MOSトランジスタQ₃ . Q₄ から構成されている。上記MOSトランジスタQ₁ . Q₂ のゲートにはクロック信号φ、φがそれぞれ供給され、上記MOSトランジスタQ₃ . Q₄ のゲートには、入力データD1が供給される。そして、上記MOSトランジスタQ₃ とQ₄ の接続点から出力データD0を得る。

上記のような構成のクロックドインバータを用いて前記第22図や第23図に示すようなD型フリップフロップを構成した場合、入力データD1をラッチするためには、クロック信号φが"1"レベル(φは"0"レベル)の期間内にク

- 6 -

ロックドインバータ 11；あるいは 11₁ の出力ノード N₁，N₂ がインバータ 12；あるいは 12₁ の回路しきい値 V_H にそれぞれ達する必要がある。このため、クロック信号 φ₁ の周波数を高くするのには限界がある。また、ノード N₁，N₂ の電位がたとえ回路しきい値 V_H に達したとしても、各ノード N₁，N₂ が充分にプリチャージあるいはディスチャージされないうちにクロック信号 φ₁ が "0" レベルとなると、次段のゲートを駆動するのに時間がかかり、動作速度の低下の原因となる。さらには、クロックドインバータを構成する P チャネル形の MOS トランジスタ Q₁，Q₂ のしきい値電圧が製造プロセス上の原因や使用時において設定値よりも低くなつた場合（例えば -0.8 V の設定値に対して -1.5 V 程度に低下）、P チャネル形 MOS トランジスタ Q₁，Q₂ のドライブ能力が著しく低下し、出力ノードを短時間で "1" レベルにすることはできず、動作速度の低下と信頼性の低下を招く。

-7-

照して説明する。第 1 図(a)は、ラッテ回路の構成例を、第 1 図(b)はそのプロック図をそれぞれ示している。クロック信号 φ₁ で制御されるクロックドインバータ（データ転送ゲート）17₁，17₂ の入力端にはそれぞれ、逆相のデータ D_I，D̄_I が供給される。上記クロックドインバータ 17₁，17₂ の出力端間にには、クロック信号 φ₁ で制御されるクロックドインバータ（クロックドゲート）18₁ の入、出力端がそれぞれ接続されるとともに、クロック信号 φ₁ で制御されるクロックドインバータ（クロックドゲート）18₂ の入、出力端がそれぞれ接続される。そして、上記クロックドインバータ 18₁，18₂ の入力端と出力端との接続点 N₁、出力端と入力端との接続点 N₂ からそれぞれラッテ出力信号 D_O，D̄_O を得るようにして成る。

上記のような構成において、クロックドインバータ 18₁，18₂ はセンスアンプ回路を構成しており、クロックドインバータ 17₁，17₂ を介して入力されたデータ D_I，D̄_I を増幅するよ

-9-

〔発明の目的〕

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、高速動作が可能であり、且つ動作マージンが広く高信頼性を有するラッテ回路およびこのラッテ回路を用いたフリップフロップ回路を提供することである。

〔発明の概要〕

すなわち、この発明においては、上記の目的を達成するために、2つのクロックドインバータの入力端と出力端どうしをそれぞれ接続し、これらクロックドインバータの入力端と出力端との各接続点にデータ転送ゲートをそれぞれ設け、これらデータ転送ゲートをそれぞれ介して上記クロックドインバータに逆相の入力信号を供給してラッテするようにしている。

また、上記ラッテ回路を2段継続接続してフリップフロップ回路を構成している。

〔発明の実施例〕

以下、この発明の一実施例について図面を參

-8-

うにしている。今、クロック信号 φ₁ が "1" レベルになったとすると、データ D_I，D̄_I はクロックドインバータ 17₁，17₂ をそれぞれ介してノード N₁，N₂ に供給される。そして、クロック信号 φ₁ が "1" レベルとなると、ノード N₁，N₂ の電位がクロックドインバータ 18₁，18₂ により増幅されてラッテされる。この際、何らかの原因によりクロックドインバータ 17₁，17₂ の回路しきい値 V_H に変動があったとしても、ノード N₁，N₂ の電位の大小関係が正しければ、これらのノード N₁，N₂ は、クロックドインバータ 18₁，18₂ により直ちに正しい電位に補正される。例えば、各クロックドインバータ 17₁，17₂，18₁，18₂ の回路しきい値 V_H を 2.5 V とし、入力データ D_I = "0" (0 V)，D̄_I = "1" (5 V) を与え、クロック信号 φ₁ が "1" レベルから "0" レベルに変化した時、ノード N₁，N₂ の電位がそれぞれ 1.5 V，1.0 V となつたとしても、この電位はクロックドインバータ 18₁，18₂ により直ちに 5 V，0 V に補正さ

-10-

-71-

れ、これらのノード N_1, N_2 IC接続されたノードにデータを与えることができる。なお、クロック信号 \bar{A} が "0" レベルの時は、クロックドインバータ $I8_1, I8_2$ ICよりノード N_1, N_2 のデータがスタティックに保持される。

従って、このような構成によれば、クロックドインバータ $I7_1, I7_2$ の少なくともいずれか一方が充分にデータ D_1 あるいは \bar{D}_1 を取り込めば、他方が正常に動作せずその出力ノードの電位が次段に接続されるゲートの回路しきい値 V_m に達しなくとも正常動作が行なえ、高い信頼性が得られる。また、クロックドインバータ $I7_1, I7_2$ の出力が完全に定まらなくても、その大小関係が決まれば良いので、動作速度の高速化も図れる。

第 2 図ないし第 7 図はそれぞれ、上記第 1 図 (a)におけるクロックドインバータ $I8_1, I8_2$ から成るセンスアンプ回路を回路シミュレーション SPICE を用いてシミュレーションした結果を示している。このシミュレーションでは、第 8

-11-

一方が不完全な値でも充分に動作可能である。

次に、第 9 図に示すように、第 8 図におけるクロックドインバータ $I8_1$ に代えてインバータ $I9_1$ を設け、同様な回路シミュレーションを行なった。この結果を第 10 図および第 11 図に示す。第 10 図においては、 $A = 2.5$ V に設定しており、第 11 図では $A = 2$ V に初期設定した後、クロック信号 \bar{A} を供給している。図示するように、第 9 図に示すような回路構成では、入力信号 A が 2.5 V であればこの電位をクロックドインバータ $I8_1$ とインバータ $I9_1$ によって 5 V に補正できるが、入力信号 A が 2 V では 0 V となってしまい補正が不可能である。これに対し、前記第 8 図の回路では、第 6 図および第 7 図に示したように、入力信号 A が 2 V および 1 V の場合でもこれを 5 V に補正してラッチできる。

第 12 図 (b)は、この発明の他の実施例を示している。図において、前記第 1 図と同一構成部には同じ符号を付してその詳細な説明は省略す

-13-

るに示すように回路構成している。このような回路を CMOS 化し、N チャネル形 MOS トランジスタのチャネル幅 W_n とチャネル長 L_n との比を $W_n/L_n = 1.5/1.2$ 、P チャネル形 MOS トランジスタのチャネル幅 W_p とチャネル長 L_p との比を $W_p/L_p = 2.2/1.5$ にそれぞれ設定している。第 2 図は、A (第 1 図におけるノード N_1 に対応) を 5 V、B (第 1 図におけるノード N_2 に対応) を 0 V に初期設定した後、クロック信号 \bar{A} を与えた場合のシミュレーション結果を示している。同様に、第 3 図は $A = 4$ V、 $B = 1$ V、第 4 図は $A = 3$ V、 $B = 2$ V、第 5 図は $A = 2.6$ V、 $B = 2.4$ V、第 6 図は $A = 2$ V、 $B = 1$ V、および第 7 図は $A = 1$ V、 $B = 0$ V にそれぞれ初期設定した後、クロック信号 \bar{A} を与えている。図示するように、たとえ入力された信号 A、B のレベルがインバータ $I9_1, I9_2$ の回路しきい値電圧 V_m より低くとも、クロックドインバータ $I8_1, I8_2$ の増幅動作により、最終的には $A' = 0$ V、 $B' = 5$ V に設定される。このように、与えられるデータの

-12-

る。すなわち、前記第 1 図におけるクロックドインバータ $I8_1$ に代えて、クロックド NAND ゲート $I2_1$ を設けており、このクロックド NAND ゲート $I2_1$ にセット信号 B を供給することにより、セット可能にしている。第 12 図 (b)に上記第 12 図 (a)のブロック図を示す。

このような構成においても基本的には前記第 1 図 (a)の回路と同様な動作を行ない、同じ効果が得られる。

なお、上記各実施例では、データ転送ゲートとしてクロックドインバータ $I7_1, I7_2$ を用いたが、第 13 図に示すようにトランスファゲート $I22_1, I22_2$ を設けるとともに、ノード N_1, N_2 にインバータ $I23_1, I23_2$ を設け、これらインバータ $I23_1, I23_2$ の出力端からラッチ出力 D_0, \bar{D}_0 を得るようにして良い。

第 14 図は、この発明の他の実施例を示すもので、前記第 1 図 (a)に示したラッチ回路を 2 段継続接続してマスタースレーブ型の D 型フリップフロップを構成している。クロック信号 (第

-14-

-72-

1の制御信号)で制御されるクロックドインバータ17₁、17₂の入力端にはそれぞれ、逆相のデータD₁、D̄₁が供給される。上記各クロックドインバータ17₁、17₂の出力端間にには、クロック信号まで制御されるクロックドインバータ18₁の入力端および出力端が接続されるとともに、クロック信号まで制御されるクロックドインバータ18₂の出力端および入力端がそれぞれ接続される。上記クロックドインバータ18₁の入力端とクロックドインバータ18₂の出力端との接続点(ノードN₁)には、クロック信号(第2の制御信号)まで制御されるクロックドインバータ17₃の入力端が接続される。また、上記クロックドインバータ18₂の入力端とクロックドインバータ18₁の出力端との接続点(ノードN₂)には、クロック信号まで制御されるクロックドインバータ17₄の入力端が接続される。上記各クロックドインバータ17₁、17₂の出力端間にには、クロック信号まで制御されるクロックドインバータ18₃の

-15-

第15図は、前記第14図に示したフリップフロップ回路に対して、前述した回路シミュレーションSPICEを用いて動作シミュレーションを行なった結果を示している。ここでは、前記第14図の回路をCMOS化し、Nチャネル形MOSトランジスタのチャネル幅W_Nとチャネル長L_Nとの比をW_N/L_N=1.5/1.2、Pチャネル形MOSトランジスタのチャネル幅W_Pとチャネル長L_Pとの比をW_P/L_P=1.5/1.2にそれぞれ設定しており、クロック信号は33.333MHz(周期3.0ns)にしている。図示するように、クロック信号が高周波数であっても充分に動作可能であることがわかる。

第16図は、前記第14図に示したフリップフロップ回路のブロック図を示している。このフリップフロップ回路24を、第17図に示すように入力端D、D̄と出力端Q、Q̄を各々接続して複数段(4段)継続接続し、各クロック入力端C_Kに同じクロック信号を供給すると、シフトレジスタが構成できる。

-17-

入力端および出力端が接続されるとともに、クロック信号まで制御されるクロックドインバータ18₁の出力端および入力端がそれぞれ接続される。そして、上記クロックドインバータ18₁の入力端とクロックドインバータ18₂の出力端との接続点(ノードN₁)から出力信号D₀を得、上記クロックドインバータ18₂の入力端とクロックドインバータ18₁の出力端との接続点(ノードN₂)から出力信号D̄₀を得るようにして成る。

上記のような構成において、クロックドインバータ17₁、17₂および18₁、18₂から成るラッチ回路と、クロックドインバータ17₃、17₄および18₃から成るラッチ回路はそれぞれ、前記第1図(a)の回路と全く同じ動作を行なう。従って、各々のラッチ回路は高速動作が可能で且つ高信頼性を有しており、このようラッチ回路を継続接続して構成したフリップフロップ回路も高速動作が可能であり、動作マージンが広く高信頼性が得られる。

-16-

なお、第18図に示すように、前記第14図に示したフリップフロップ回路におけるノードN₁、N₂とクロックドインバータ17₁、17₂の入力端間、およびノードN₃、N₄とそれぞれインバータ25₁～25₄を設け、インバータ25₁、25₂から出力信号D₀、D̄₀を得るようしても前記第14図の回路と同様な動作を行ない同じ効果が得られる。

第19図は、この発明の他の実施例を示すもので、前記第18図におけるデータ転送ゲートとしてのクロックドインバータ17₁～17₄に代えて、トランスマッゲート26₁～26₄をそれぞれ設けたものである。この回路は、前記第13図に示したラッチ回路を2段継続接続したものに相当する。

第20図は、フリップフロップ回路のさらに他の構成例を示している。すなわち、前記各実施例ではクロック信号₁、₂を用いたが、第20図に示す回路ではクロック信号₁、₂、₃および₄、₅をそれぞれ用いており、回路構成は前

-18-

記第14図と同じになっている。

前記第19図および第20図に示したような構成でも、基本的には前記第14図および第18図の回路と同様な動作を行ない同じ効果が得られるのはもちろんである。

[発明の効果]

以上説明したようにこの発明によれば、高速動作が可能であり、且つ動作マージンが広く高信頼性を有するラッチ回路およびこのラッチ回路を用いたフリップフロップ回路が得られる。

4. 図面の簡単な説明

第1図はこの発明の一実施例に係わるラッチ回路を示す図、第2図ないし第7図はそれぞれ上記第1図の回路の動作を説明するために行なったシミュレーション結果を示す図、第8図は上記第2図ないし第7図のシミュレーションに用いた回路を示す図、第9図は別のシミュレーションに用いた回路を示す図、第10図および第11図はそれぞれ上記第9図の回路におけるシミュレーション結果を示す図、第12図およ

-19-

る。

18₁ , 18₂ …クロックドインバータ（第1 , 第2のクロックドゲート）、す…クロック信号、
17₁ , 17₂ …クロックドインバータ（第1 , 第2のデータ転送ゲート）、す…クロック信号
(制御信号)、DI , D_I …入力データ、D_O ,
D_O …出力信号。

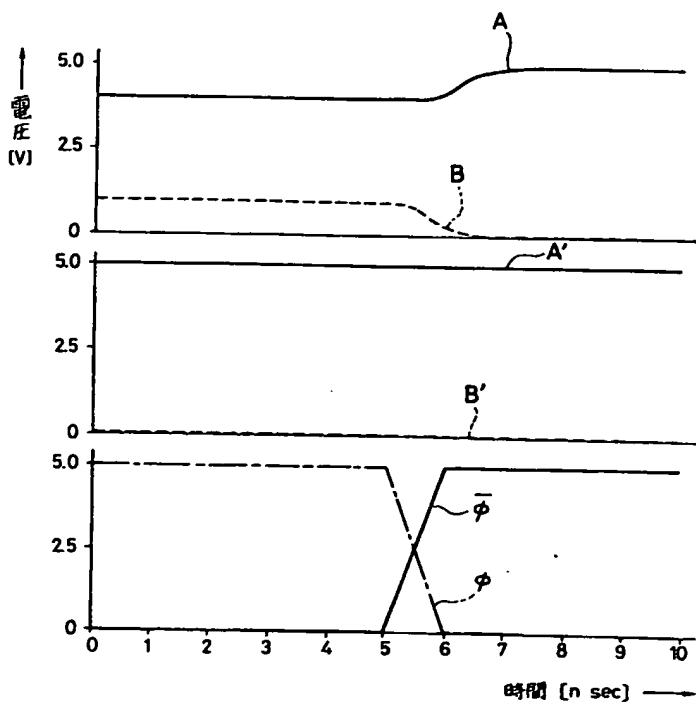
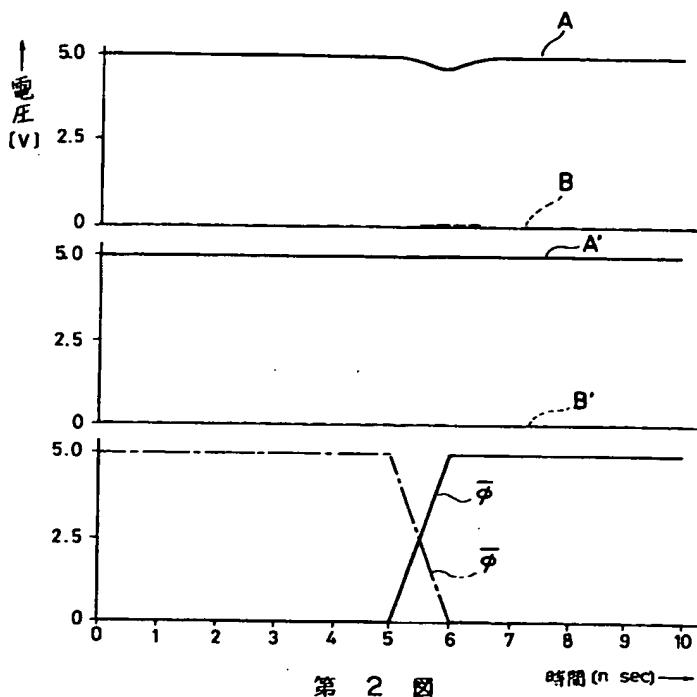
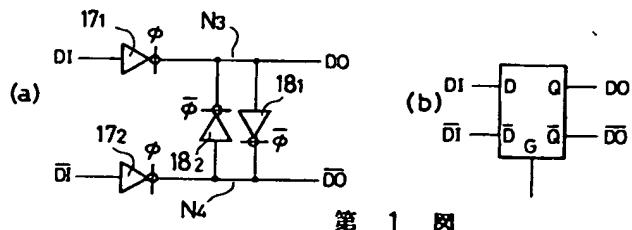
び第13図はそれぞれこの発明の他の実施例に係わるラッチ回路を示す図、第14図は上記第1図のラッチ回路を用いて構成したフリップフロップ回路を示す図、第15図は上記第14図のフリップフロップ回路のシミュレーション結果を示す図、第16図は上記第14図のフリップフロップ回路のプロック図、第17図は上記第16図のフリップフロップ回路を用いて構成したシフトレジスタを示す図、第18図ないし第20図はそれぞれ上記第14図のフリップフロップ回路の他の構成例を示す図、第21図は従来のラッチ回路を示す図、第22図は上記第21図のラッチ回路を用いて構成した従来のフリップフロップ回路を示す図、第23図は従来のフリップフロップ回路の他の構成例を示す図、第24図は上記第22図および第23図のフリップフロップ回路のプロック図、第25図は上記第24図のフリップフロップ回路を用いて構成したシフトレジスタを示す図、第26図はクロックドインバータの構成例を示す回路図であ

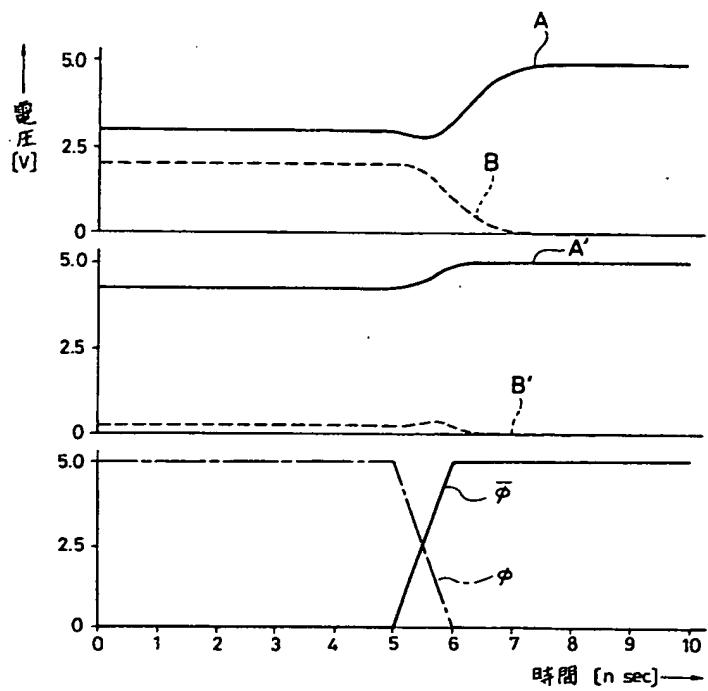
-20-

出願人代理人弁理士鈴江武彦

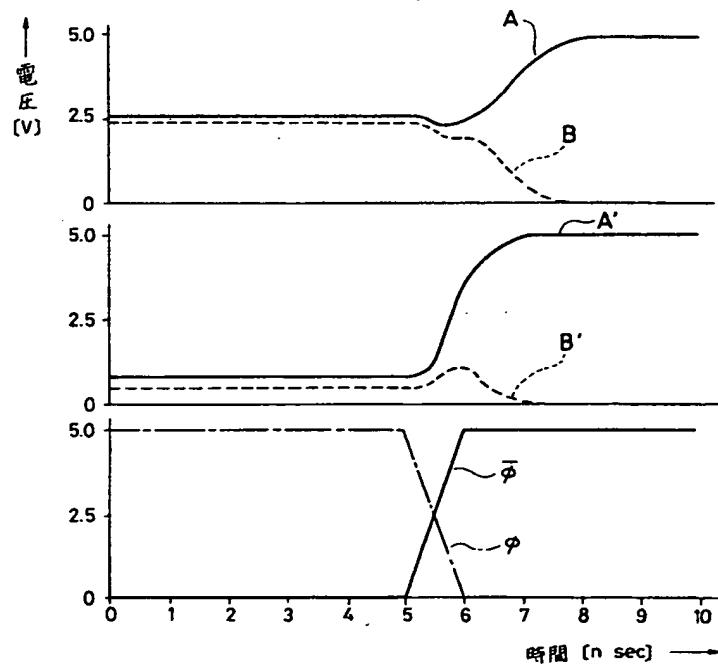
-21-

-74-

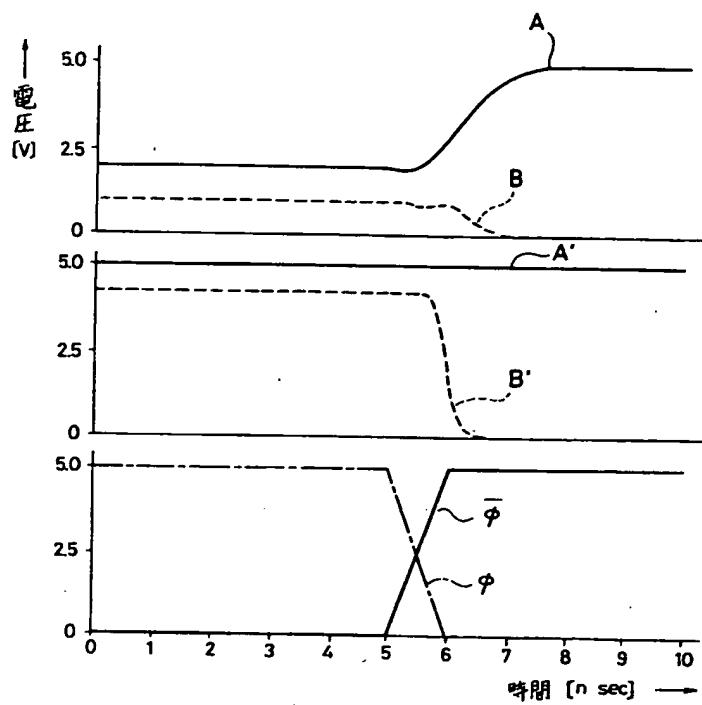




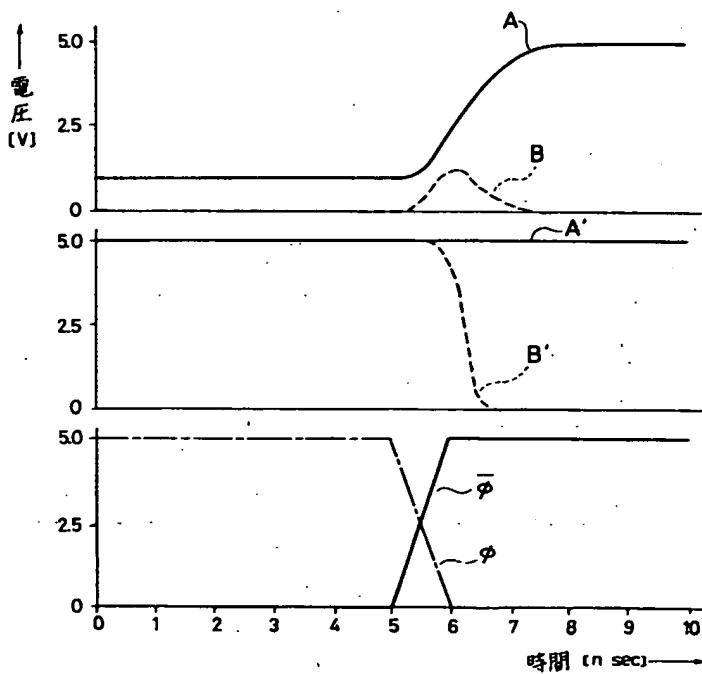
第 4 図



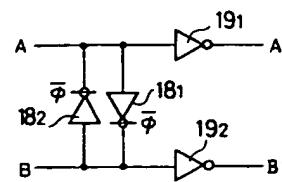
第 5 図



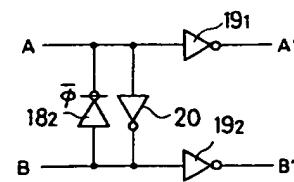
第 6 図



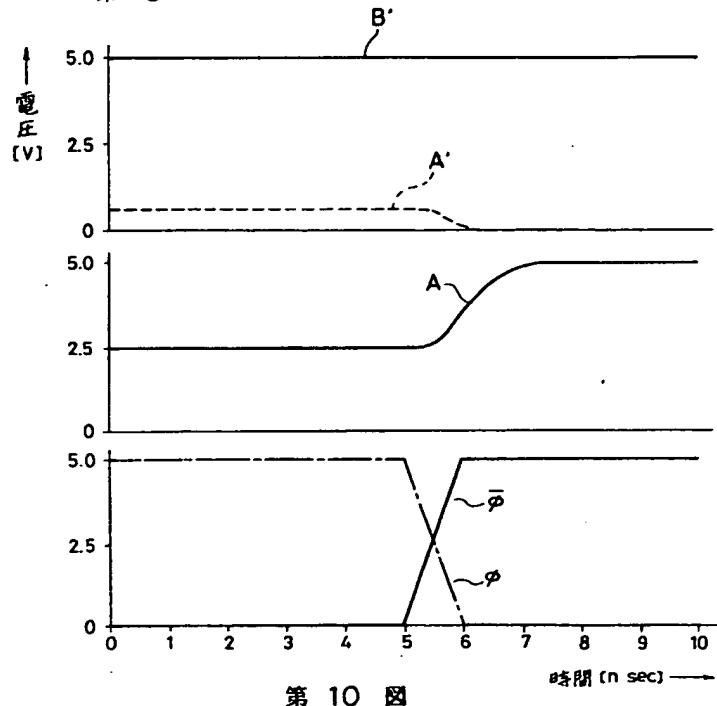
第 7 図



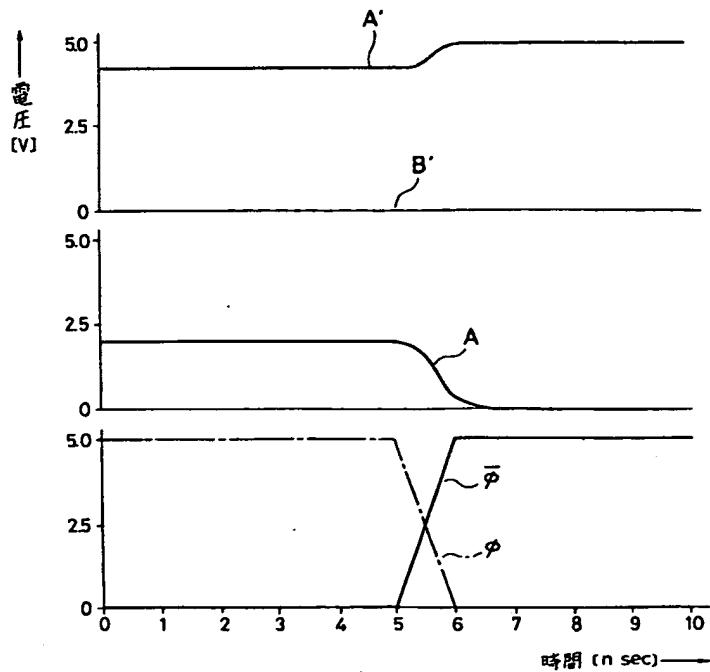
第 8 図



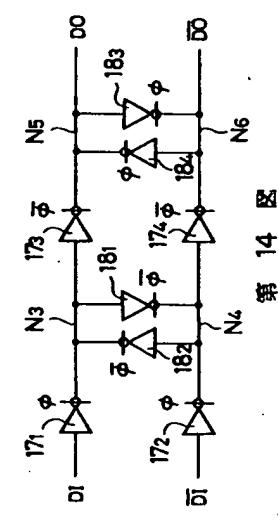
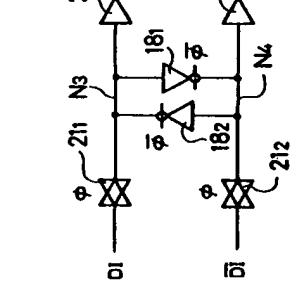
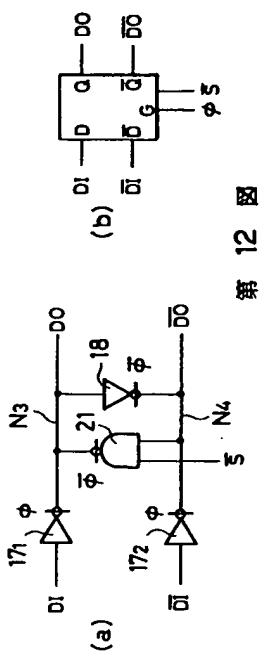
第 9 図



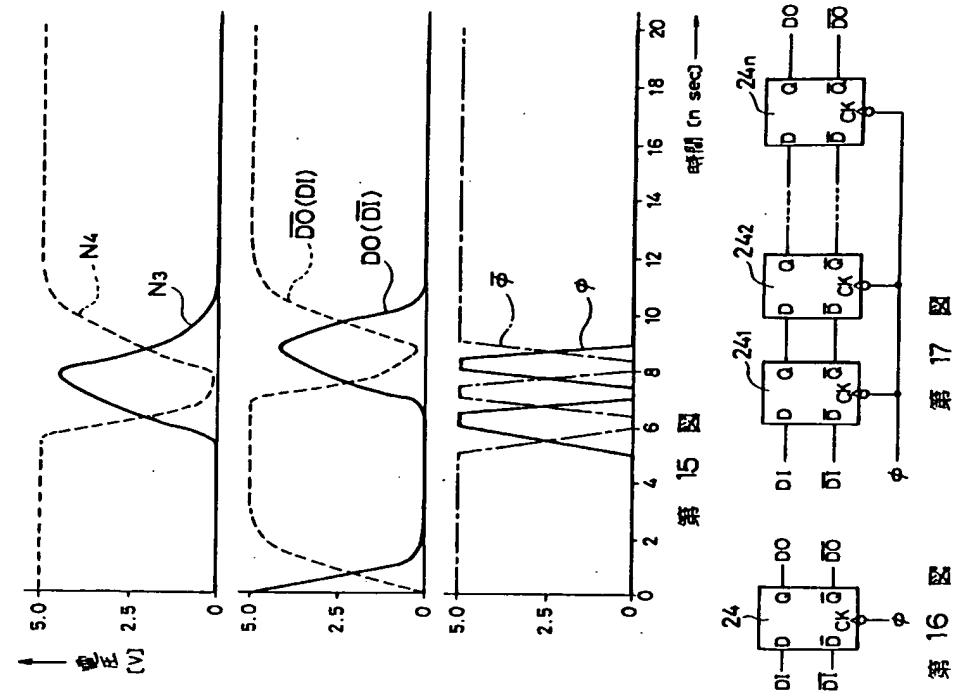
第 10 図



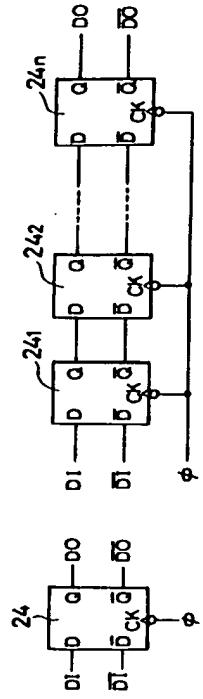
第 11 図



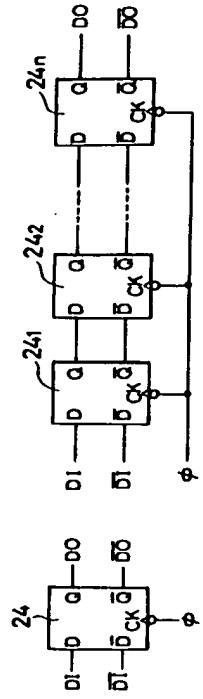
第 14 図



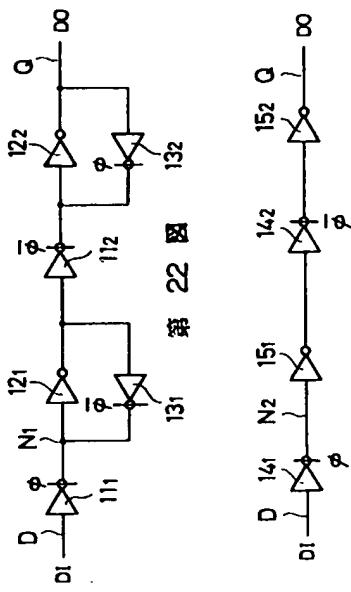
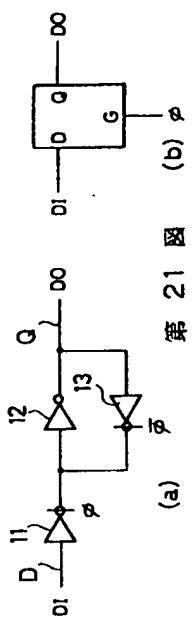
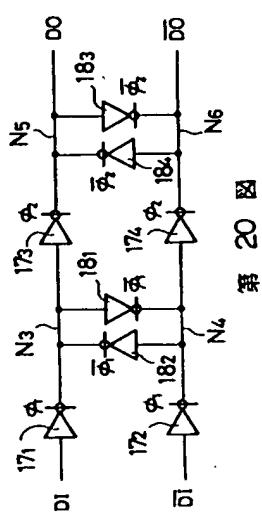
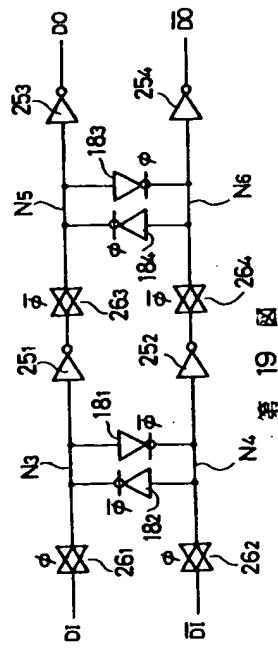
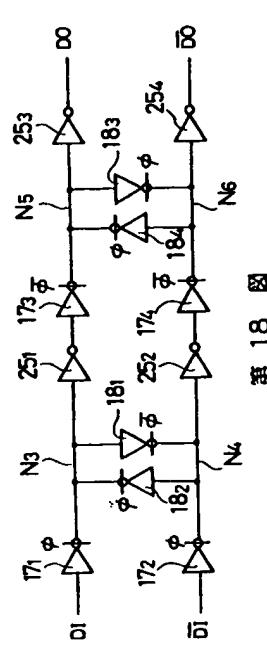
第 15 図



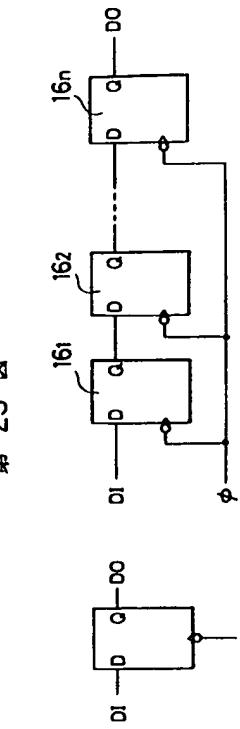
第 16 図



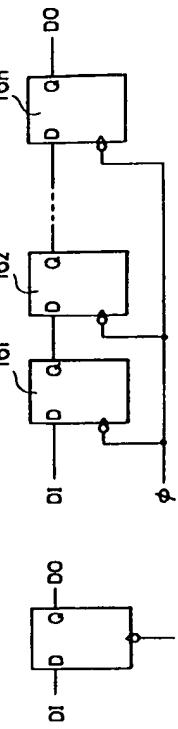
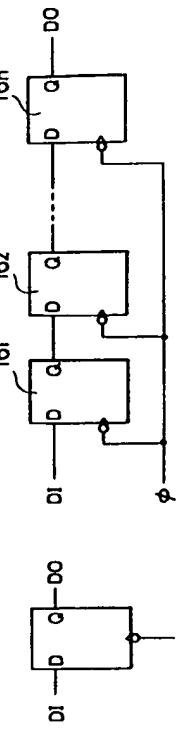
第 17 図



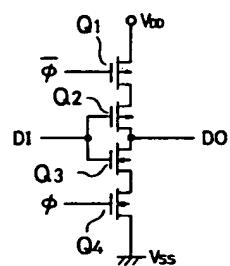
第 22 図



第 23 図

第 24 図
第 25 図

第 25 図



第 26 圖

PAT-NO: JP362040816A
DOCUMENT- IDENTIFIER: JP 62040816 A
TITLE: LATCHING CIRCUIT, AND FLIP-FLOP CIRCUIT USING
THIS
LATCHING CIRCUIT
PUBN-DATE: February 21, 1987

INVENTOR- INFORMATION:

NAME
SAKAGAMI, KENJI

ASSIGNEE- INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A
TOSHIBA MICRO COMPUT ENG CORP	N/A

APPL-NO: JP60180215

APPL-DATE: August 16, 1985

INT-CL (IPC): H03K003/037

US-CL-CURRENT: 327/215

ABSTRACT:

PURPOSE: To execute a high speed operation by connecting each input terminal and output terminal of two clock gates, respectively, and providing a data transfer gate on each connecting point of the input terminal and the output terminal, respectively.

CONSTITUTION: When a clock signal ϕ_{HIV} becomes '1', a data DI and an opposite phase DI are supplied to nodes $N<SB>3</SB>$, $N<SB>4</SB>$ through clocked inverters $17<SB>1</SB>$, $17<SB>2</SB>$ (data transfer gates), respectively. When a clock signal of an opposite phase becomes '1', the potential of the nodes $N<SB>3</SB>$, $N<SB>4</SB>$ are amplified and

latched by
clocked inverters 18<SB>1</SB>, 18<SB>2</SB> (clocked gates). In
this case,
even if a circuit threshold value of the inverters 17<SB>1</SB>,
17<SB>2</SB>
is varied, these nodes N<SB>3</SB>, N<SB>4</SB> are corrected to a
correct
potential immediately by the inverters 18<SB>1</SB>, 18<SB>2</SB>, if
a
magnitude relation of the potential of the nodes N<SB>3</SB>,
N<SB>4</SB> is
correct. In this way, a high speed operation can be executed.

COPYRIGHT: (C)1987, JPO&Japio